

print out

Publication number 396703

Title Synchronizing circuit for FM multiple broadcasting

Publication Date 2000/07/01

Certification_Number 118564

Application Date 1998/03/27

Application No. 087104603

IPC H04L-007/00

Inventor KIMURA, KAZUHIROJP;
HIRAKOSO, YUTAKAJP;
HAYASHIBE, SHIGEAKIJP;
MASUMOTO, TAKAHIKOJP;
KANEKO, HIROSHIJP

Applicant SANYO ELECTRIC CO., LTD.JP

Priority Number 1997/03/31 JP19970079995
.....
1997/03/31 JP19970079996
.....

Abstract The invention provides a synchronizing circuit for FM multiple broadcasting. A front end receives FM multiple broadcast data of both RDS and DARC systems. A BIC detection circuit (101) detects a block identification code (BIC) included in received data. A coincidence/non-coincidence detection circuit (104) judges whether or not a BIC detection timing is correct and emits a coincidence/non-coincidence pulse. A forward protection circuit (106) counts a frequency of outputs of non-coincidence pulses and retains an established synchronous condition until the counted value exceeds a predetermined value. Then, a forward protection control circuit (108) inhibits the forward protection circuit from performing a count operation while a search is performed for selecting a station. Also, a rearward protection circuit (105) counts a frequency of outputs of coincidence pulses and establishes a synchronous condition when the counted value reaches a predetermined value. Further, a rearward protection control circuit (800) inhibits the rearward protection circuit from performing a count operation while a search is performed.

**Patent Right
Change**

Application number	087104603
Authorization note	No
Qualification right note	No
Transfer Note	No
Inheritance Note	No
Trust note	No
Objection note	No
Exposure Note	No
Invalidation date	

Withdrawal date	
<hr/>	
Issue date of patent right	20000701
<hr/>	
Due date of patent right	20180328
<hr/>	
Due date of annual fee	20090630
<hr/>	
Due year of annual fee	009

K98-0055

公告本

396703

申請日期	87.3.27
案號	87104603
類別	104L 7/00

A4
C4

396703

(以上各欄由本局填註)

第 87104603 號
專利申請案發明
新 型

專 利 說 明 書

修正本
(88年11月11日)

一、發明 名稱	中 文	FM多重廣播接收用同步電路
	英 文	SYNCHRONIZING CIRCUIT FOR FM MULTIPLE BROADCASTING
二、發明 創作人	姓 名	1.木村和広 2.平社豊 3.林部茂明 4.増本隆彦 5.金子弘
	國 籍	日本國
三、申請人	住、居所	1.日本國埼玉縣深谷市矢島740 2.日本國埼玉縣行田市下須戸1791 3.日本國群馬縣邑樂郡大泉町仙石4-12-20ハイツ(公寓) 大泉Ⅲ203 4.日本國群馬縣邑樂郡大泉町吉田986-5 H2-207 5.日本國群馬縣邑樂郡邑樂町中野2766-9 サンライズ (日出)OHRA102
	姓 名 (名稱)	三洋電機股份有限公司
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通2丁目5番五號
	代 表 人 姓 名	高野泰明

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

1997年3月31日 特願平9-79995(主張優先權)

1997年3月31日 特願平9-79996(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱: FM多重廣播接收用同步電路)

本發明提供一種FM多重廣播接收用同步電路，係使用一個前端以接收RDS和DARC之兩方式的FM多重廣播資料。以BIC檢測電路(101)檢測接收資料中所包含的區段識別碼(BIC)。以一致/不一致檢測電路(104)判定BIC檢測時間是否為正確而輸出一致/不一致脈衝。以前方保護電路(106)計數不一致脈衝之輸出次數而保持計數值確立之同步狀態。至計數值超過預定值，接著，前方保護控制電路(108)，在選局用之搜尋被進行時，即禁止前方保護電路之計數動作。後方保護電路(105)則計數一致脈衝之輸出次數，且在計數值達到預定值時確立同步狀態。接著，後方保護控制電路(800)，在搜尋被進行時，禁止後方保護電路的計數動作。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

錄

五、發明說明(1)

發明技術

發明所屬之技術領域

本發明係關於一種可接收 DARC 方式之 FM 多重廣播的接收機，尤其是關於一種具有前方保護電路或後方保護電路的同步電路。

習知之技術

現在，作為 FM 多重廣播者，有在歐洲廣被使用的 RDS (Radio Data System: 無線電波傳送資料系統) 方式，和在日本進行的 DARC (Data Radio Channel) 資料無線電波傳送頻道) 方式。

RDS 方式之資料，包含有 (1) 程式識別資料 (PI 資料)、(2) 廣播局名資料 (PS 資料)、(3) 同一節目廣播中之另一廣播局的頻率表 (AF 表)、(4) 節目內容之識別資料 (PTY)、(5) 音樂或會話之識別資料 (M/S 資料)、(6) 交通資訊局之識別資料 (TP)、及 (7) 交通資訊廣播中之識別資料 (TA) 等。

並且，現行之 RDS 行車接收機，係利用該等資料，而現在接收局的接收狀態在隨著車輛之移動而惡化時，具有切換成同一節目廣播中之另一廣播局的搜尋功能。例如，在被稱為 AF 搜尋的搜尋功能中，首先解調同一節目廣播局的頻率表 (AF 表)，而依序將接收頻率切換成載於該表中之頻率的局上以核對其接收電場強度，且檢測出接收電場強度為最大的 AF 局。其次解調被檢測出的 AF 局之 PI 資料以判定是否與現在接收局的 PI 資料一致。若為一致時就接收該接收電場強度為最大的 AF 局。若為不一致時，即接著解調

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (2)

接收電場強度較大的AF局之PI資料以判定是否與現在接收局的PI資料一致，以後，依序進行該動作。有必要判定PI資料之理由，係在於載於AF表中之內容在實際上有時不會廣播RDS，或是因存在多數同一頻率的局，而PI資料多有不同的緣故。

然而，如第1圖及第2圖所示，RDS之資料，係將104位元當作1組而反覆被傳送。1個組係各由26位元構成之4區段所組成，各區段係由16位元之資料部和10位元之核對位元所構成。位元速率為1.1875KHz，1區段以約22m秒的速度發送。因而，1組以約88m秒的速度反覆發送。在RDS之資料傳送方式中有版本A和版本B。在版本A的情況，PI資料係被分配於4區段中之第一區段中。因而，PI資料之反覆週期約成為88m秒。在版本B的情況，PI資料即被分配於4區段中之第一區段及第三區段中。因而，PI資料之反覆週期約成為44m秒。因此，若進行並用PI資料之檢測的AF搜尋，則為了解調AF局之PI資料而將加上上述之反覆週期，RDS資料之區段同步週期就有必要為60m秒程度。

另一方面，如第3圖所示，DARC之資料，係以288位元構成1區段。進而以272區段構成1框而反覆被傳送。272區段中82區段為訂正錯誤用的區段（垂直同位，Vertical parity），剩餘190區段為資訊區段。再者，該資訊區段之288位元，係由訂正錯誤用（水平同位，horizontal parity）82位元，檢測錯誤用CRC14位元、資訊176位元及用於區段及框同步檢測之區段識別碼（BIC: Block Identification Code）用16位元所構成。訂正錯誤

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明(3)

用之區段的288位元係由訂正錯誤用272位元和BIC用16位元所構成。位元速率為16KHz，1區段係以18m秒的速度發送。因而，1框以約5秒的速度反覆發送。

今後，在歐洲將採用從同一廣播局中廣播RDS方式和DARC方式的FM多重廣播。因而，在具有並用上述PI資料之檢測之AF搜尋功能的RDS接收機上，更進一步追加其前端為共通且為DARC方式的FM多重解調功能時。在RDS之AF搜尋中以150m秒程度不僅可中斷接收局的現在聲音而且還可中斷DARC的資料。

在DARC方式之資料解調中，區段同步電路及框同步電路是需要的，而且即使兩同步電路因少許的雜訊等而無法接收正確的資料亦具有保持同步狀態或持有臨界值的前方保護功能。但是，在超過該臨界值而無法正確接收資料時就將脫離同步，一旦脫離同步時要在再次同步(後方保護)之前就需要花費相當的時間。

因而，在150m秒之期間DARC資料中斷時，DARC資料就會連續8區段以上無法檢測出同步用的BIC，即使有前方保護功能亦會有現在接收局之DARC的同步會脫離之虞。接著，一旦同步脫離時要在再次取得同步之前，被接收的資料之處理(錯誤訂正)就無法進行，且此期間所接收的資料就會變成無效。

另外，區段同步電路及框同步電路，具有後方保護電路，即使因多少的雜訊等而有1~2位元程度錯誤的BIC只要在預定的時間內數次檢測出BIC就會從非同步狀態拉至

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(4)

同步狀態者。但是，一旦因錯誤的資料而使後方保護電路拉至同步狀態時，會依前方保護電路之功能，而使誤同步狀態繼續。

因而，在如上述進行AF搜尋時，在現在接收局中對於DARC資料而言同步電路在非同步狀態期間中接收他局時，同步電路就有以他局之DARC資料或雜訊進行同步拉入的可能性。此時，即使將頻率送回現在接收局，同步電路亦會以他局的資料時間而動作，而在判定前方保護電路為脫離同步之前的期間內，誤鎖狀態會繼續。在誤鎖狀態中，由於無法正確進行區段同步、或框同步，所以無法獲得正確的資料而此期間所接收的資料就會變成無效。

再者，在DARC方式的FM多重資料中，亦有與RDS同樣的AF(代替頻率)表，而以後在DARC方式之車輛用接收機中，亦會具備有與RDS接收機之AF搜尋同樣的搜尋功能。因而，即使在DARC方式單獨之行車用接收機中，在執行AF搜尋等的搜尋功能時，亦會發生與上述同樣的問題。

發明的概要

本發明之目的係在於：提供一種即使進行AF搜尋而DARC資料被中斷，DARC之同步亦不會脫離，且可進行良好的DARC資料之接收的FM多重廣播接收機。

並且，本發明之目的係在於：提供一種即使因AF搜尋等而在DARC資料接收局以外中一旦變更接收頻率時，DARC之同步電路亦不會因錯誤而鎖住，且可進行良好的DARC資料之接收的FM多重廣播接收機。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

依據本發明，則即使進行並用RDS中之PI資料之檢測的AF搜尋等的搜尋而DARC資料的中斷時間很長時，因於DARC之同步亦不會脫離，所以可從搜尋結束後之接收資料中進行資料處理(錯誤訂正)，且無效的資料會變無。尤其是，在具有AF搜尋功能的RDS接收機中，追加前端為共通且為DARC方式的FM多重解調功能時很有效。

依據本發明，則在現在接收局的資料中無法取得同步時，即使進行他局之搜尋亦可防止在他局之資料時間內發生同步的情形，且在搜尋完成後，可在現在接收局上迅速取得同步。因此，可從搜尋結束後之同步確立的接收資料中進行資料處理(錯誤訂正)，而無效的接收資料會變少。

圖式之簡單說明

第1圖為RDS之版本A之資料構造之例示圖。

第2圖為RDS之版本B之資料構造之例示圖。

第3圖為DARC之資料構造之例示圖。

第4圖顯示包含本發明之同步電路之FM多重廣播接收機全體之方塊圖。

第5圖顯示實施形態之構成的方塊圖。

第6圖顯示前方保護控制電路及前方保護電路的構成圖。

第7圖顯示實施形態之要部動作的時序圖。

第8圖顯示實施形態之動作的時序圖。

第9圖顯示另一實施形態之構成的方塊圖。

第10圖顯示BIC檢測電路及BIC檢測控制電路的構成圖

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(6)

第 11 圖 為 BIC 之 位 元 模 式 的 例 示 圖 。

第 12 圖 顯 示 另 一 實 施 形 態 之 動 作 的 時 序 圖 。

第 13 圖 顯 示 更 另 一 實 施 形 態 的 構 成 圖 。

第 14 圖 顯 示 第 13 圖 之 實 施 形 態 的 要 部 構 成 圖 。

發 明 之 實 施 形 態

第 4 圖 係 顯 示 包 含 本 發 明 實 施 形 態 之 DARC 同 步 電 路 314 之 FM 多 重 廣 播 接 收 機 全 體 構 成 的 方 塊 圖，該 接 收 機 係 為 當 RDS 和 DARC 之 兩 方 式 的 FM 多 重 廣 播 從 同 一 廣 播 局 發 送 時，可 接 收 該 廣 播 的 構 成。

亦 即，在 FM 前 端 301 上，依 序 連 接 有 IF 放 大 器 302、多 工 器 303、AF 放 大 器 304 及 揚 聲 器 305，同 時 在 IF 放 大 器 302 上，設 有 用 以 輸 入 其 輸 出 之 複 合 信 號 的 RDS 接 收 電 路 308a 和 DRAC 接 收 電 路 312a。RDS 接 收 電 路 308a，係 由 載 波 頻 率 57KHz 之 帶 通 濾 波 器 308、用 以 進 行 BPSK 解 調 的 RDS 解 調 器 309、基 於 解 調 資 料 以 進 行 同 步 再 生 的 RDS 同 步 電 路 310 及 用 以 執 行 錯 誤 訂 正 的 RDS 錯 誤 訂 正 電 路 311 所 構 成。DARC 接 收 電 路 312a，係 由 載 波 頻 率 76KHz 之 帶 通 濾 波 器 312、用 以 進 行 L-MSK 解 調 的 DARC 解 調 器 313、基 於 解 調 資 料 以 進 行 同 步 再 生 的 DARC 同 步 電 路 314 及 用 以 執 行 錯 誤 訂 正 的 DARC 錯 誤 訂 正 電 路 315 所 構 成。接 著，錯 誤 訂 正 後 之 RDS 資 料 及 DARC 資 料，係 被 輸 入 至 控 制 器 316 中 且 在 FM 多 重 資 料 處 理 部 316b 中 執 行 各 自 的 資 料 處 理。

在 控 制 器 316 上 設 有 選 局 控 制 器 316a，藉 由 在 被 連 接

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

於 FM 前端 301 的 PLL 頻率合成器 306 上送出頻率資料以進行選局控制。換句話說，在進行 RDS 之 AF 搜尋等的搜尋動作時將與現在所接收的局不同的頻率資料送至 PLL 頻率合成器 306 上，並從該搜尋動作之開始時點至結束時點為止將搜尋信號送至 DARC 同步電路 314 上。

其次，第 5 圖係顯示區段同步電路之 DARC 同步電路 314 的構成。

首先，101 為 BIC 檢測電路，用以從接收資料中檢測區段識別碼 (BIC) 者；102 為區段同步用 288 進制計數器 (block synchronous 288 counter) 用以計數 16KHz 之系統時脈 (與 DARC 之位元速率同一頻率的時脈)，且以 1 區段即 BIC 之反覆 18m 秒間隔產生脈衝者；103 為閘極電路，用以取得 BIC 檢測電路 101 和 288 進制計數器 102 之初期的同步者；104 為時間一致 / 不一致檢測電路 104，用以比較 BIC 檢測電路 101 和 288 進制計數器 102 之輸出脈衝的產生時間者。該 BIC 檢測電路 101、區段同步用 288 進制計數器 102、閘極電路 103 及一致 / 不一致檢測電路 104，係用以構成同步檢測電路。接著，在一致脈衝 P1 被輸出時，BIC 檢測電路 101 就可正確從接收資料中檢測出 BIC。另一方面，在不一致脈衝 P2 被輸出時，BIC 檢測電路 101 會以無法檢測或算錯的時間來檢測 BIC。

105 為後方保護電路，係當一致脈衝 P1 以預定次數 (M) 輸入時，使區段同步確立 (從非同步變同步狀態) 者；106 為前方保護電路，係當不一致脈衝 P2 以預定次數 (N) 輸入

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (8)

時，脫離區段同步（從同步變成非同步狀態）者；108為前方保護控制電路，係按照搜尋信號以決定是否使不一致脈衝P2及一致脈衝P1朝前方保護電路106通過者。進而，107為同步判定電路，用以判定前方保護電路106及後方保護電路105之狀態而輸出同步信號BL者。

因此，將本發明特徵之前方保護電路106及前方保護控制電路108的詳細電路圖和顯示其動作的時序圖分別顯示在第6、7圖中。

第6圖所示，前方保護控制電路108，係由一個反相器（inverter）401及二個及閘（AND GATE）402、403所構成。接著，搜尋信號S係透過反相器401而輸入至及閘402、403上。又，P1一致脈衝被輸入至及閘402上，而P2不一致脈衝被輸入至及閘403上。因而，當搜尋信號S以高位準進行搜尋時，及閘402、403之輸出，就會被固定在低位準上。另一方面，當搜尋信號S以低位準未進行搜尋時，P1一致脈衝及P2不一致脈衝就會各自當作時脈信號ck及預置信號（preset signal）而從及閘402、403中輸出。

又，前方保護電路106，係由反或閘（NOR GATE）404、三個反相器405、406、407、一個及閘408及三個正反器（flip flop）409、410、411所構成。三個正反器409、410、411的J端子上，係透過反相器405、406、407而連接有資料端子D0、D1、D2，在預置信號為高位準時，會在各正反器409、410、411上各自被預置D0、D1、D2。又，來自前方保護控制電路108之時脈信號ck，在通過反或閘404之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (9)

後，會反轉輸入至正反器 409 之時脈端子 CK 上。在反或閘 404 之另一輸入端子上，會輸入及閘 408 的輸出。

正反器 409 之輸出 Q1，係輸入至及閘 408，同時被反轉輸入至正反器 410 之時脈端子 CK。又，正反器 410 之輸出 Q2，被輸入至及閘 408，同時被反轉輸入至正反器 411 之時脈端子 CK。接著，正反器 411 之輸出 Q3 輸入至及閘 408。

因而，依 P1 一致脈衝之高位準，預置值 (N 值 = D0, D1, D2) 會被反轉輸入於正反器 409、410、411。例如，若預置 6 時，在正反器 409、410、411 上，就會被預置 1、0、0。接著，正反器 409、410、411，會變成 3 位元的二進制計數器。因此，利用 P2 不一致脈衝之 6 個輸入，正反器 409、410、411 就會變成 1、1、1，而會從及閘 408 輸出高位準。又、該及閘 408 之輸出，在預置信號被輸入之前，會維持在高位準的原狀態。

第 7 圖之時間例中，設為 $N=6$ ($D2=1, D1=1, D0=0$)，因而，此情況 106 成為 6 進制計數器。首先，在第 7 圖之 T0 期間會因 P1 (一致脈衝) 信號而被預置 6。之後，在 T1、T2 及 T3 時會被輸入不一致脈衝 P2 而增加計數器之值。但是，在 T4 及 T5 期間由於搜尋信號 S 會被輸入，所以此期間即使 P2 被輸入，計數器亦不會進行計數之增加。之後，當搜尋信號 S 變無，而 P2 信號被輸入時會再次開啟計數動作，且在 T8 之時間內會輸出 N 進制計數器的輸出 C2。又，在 T10 時搜尋信號輸出中 P1 信號之預置亦會被禁止。如以上所述，藉由將搜尋信號 S、一致脈衝 P1 及不一致脈衝 P2 輸入至前方保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

護控制電路 108，就可以搜尋信號以禁止前方保護電路 106 的計數動作。換句話說，藉由在 RDS 中進行並用 P1 資料之檢測的 AF 搜尋等，則即使在現在接收局的 DARC 資料被中斷的時間很長時，亦可控制成不使 DARC 之同步脫離。

其次，參照第 8 圖之時序圖說明進行搜尋時之更具體的動作。另外，將前方保護次數 (N) 設為 7，將後方保護次數 (M) 設為 3，將現在接收局設為 F0，將搜尋局設為 F1。

在此例中，F1 局於搜尋期間中 (T6 至 T15 的期間)，F0 局的 DARC 資料 (BIC) 會消失 10 區段份。此時，在習知例中，前方保護次數 (N) 由於係為 7 所以時脈同步會脫離。亦即區段同步信號 BL 在 T13 ~ T18 之期間會變成 "0"。因而，即使回到現在接收局 F0，由於後方保護次數 (M) 係為 3，所以會在 T19 中變成同步狀態。另一方面，若依據本實施形態，則在接收搜尋局 F1 中，由於前方保護電路之動作會因搜尋信號 S 而停止，所以即使 BIC 資料會消失而不一致脈衝 P2 會以超過前方保護次數 7 的次數 (本例之情況為 10 次) 輸出，區段同步電路亦不會變成非同步。因此，從再次回到現在接收局 F0 的時點 (T17) 開始就可能馬上取出 DARC 的資料。

然而，在本實施形態中，由於搜尋期間中不會脫離前方保護，所以雖係藉由禁止輸入以禁止保護計數器之動作，但是並非被限定於此。例如，在第 6 圖之可預置的計數器之情況，在發生預置信號 PE 中即使時脈 CK 被輸入由於亦不會進行計數動作，所以在搜尋期間中亦可利用此功能而預先設在預置狀態。又，第 6 圖中雖為 3 位元之二進制計數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

器，但是若使之增加成6位元則可將前方保護次數增加至63次。因而，搜尋期間中對於通常接收時會增加保護次數以便不會脫離同步，極端地說，即使其設為無限大仍可獲得同樣的效果。

另外，本發明，即使在DARC單獨的接收機中，當然亦可適用於進行與RDS之AF搜尋同樣的搜尋之情況。

其次，就其他的實施形態加以說明。在本實施形態中，如第9圖所示。在後方保護電路105的前段上，具有BIC檢測控制電路109。又，前方保護控制電路108，未被設置。其他的構成，與第5圖相同。

BIC檢測控制電路109，係為在搜尋信號S為"1"的狀態，即搜尋期間中用以禁止BIC檢測電路101之輸出的電路，該電路係在搜尋期間中實質上使後方保護電路之動作停止。但是，作為BIC檢測控制電路109，在搜尋期間中，亦可為禁止其為輸入之接收資料的構成，以取代禁止BIC檢測電路101之輸出者。

因此，第10圖及第11圖係各顯示本發明特徵之BIC檢測控制電路109的詳細電路和BIC之位元模式。

利用第10圖之四個比較電路501、502、503、504，比較圖11所示之位元模式(BIC1~4)和接收資料，比較之結果，在BIC1~4之任一模式中若接收資料為一致的話，則或閘(OR GATE)506之輸出的BICDE1就會變成"1"。另外，錯誤位元容許數設定部505，係用以設定比較中之錯誤容許數者。BIC檢測控制電路109係由及閘507及反相器508所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

構成，從圖面中可明白，在搜尋期間中 ($S=1$) 即使 BIC 被檢測出而 BICDE1 變成 "1"，輸出 (BICDE2) 亦會保持 "0" 之原狀。另一方面，在未搜尋之通常接收時 ($S=0$) 會變成輸出 (BICDE2)=BICDE1，且可獲得通常之 BIC 檢測輸出。另外，錯誤位元容許數暫存器 505 係為即使以 16 位元所構成的 BIC 和接收資料與預定位元數不一致時，用以設定作為該 BIC 的容許位元數者。通常此值被設定為 1~3，若此值為 0 時，在弱電場之接收時等，接收 BIC 有錯誤時就無法檢測出。

其次，參照第 12 圖之時序圖說明進行搜尋時之更具體的動作。另外，前方保護次數 (N) 設為 7，後方保護次數 (M) 設 2，將現在接收局設為 F0，將 F1 設為搜尋局。此例，係顯示現在接收局 F0 之接收電場強度降低，而 BIC 因雜訊等而於 T2~T8 之期間消失而脫離同步的情況。在此狀態下，F1 局進行搜尋的情況 (T9)，習知例中，在 T10、T11 之期間檢測 F1 局的 BIC 時，同步電路在 F1 局之資料的時間內後方保護電路會檢測同步。因而即使在 T12 時即使 F0 局回到接收頻率，亦可利用前方保護電路之動作在 T18 之前以 F1 之資料時間使同步電路動作 (錯誤區段同步)。正確而言在 F0 之資料時間內取得同步者係由 T20 所完成。

另一方面，依據本發明，則在搜尋信號產生期間中 ($S=1$) 被檢測出的 BIC 會被忽略 (T10、T11)。因而在 F1 局之搜尋結束之後，在 T13、T14 所檢測出的 F0 局之資料時間內會得到同步 (T14)。因此，在非同步狀態中，即使在他局

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

變更接收頻率，在他局之資料時間內不會發生DARC之同步，且若回到現在接收局而正確檢測出BIC的話就可馬上確立同步。

然而，在以上說明之實施形態中，雖然搜尋期間中被檢測出的BIC會被忽略，且未拉入同步，但是即使依第13圖所示之電路，在搜尋期間中，亦可實質上使後方保護電路105停止。

亦即，如第13圖所示，在以M進制計數器所構成的後方保護電路105之輸入段上設置後方保護控制電路800，依此搜尋期間中(S=1)，就會禁止作為時脈ck之一致脈衝P1、及作為預置信號preset之不一致脈衝P2供給至後方保護電路105上。後方保護電路105和後方保護控制電路800之詳細電路，係如第14圖所示。

如上所述，後方保護控制電路800，係為與第6圖所示之前方保護控制電路108相同的構成，由一個反相器901及二個及閘902、903所構成。接著，利用搜尋信號S之高位準，禁止來自及閘902、903的輸出。又，後方保護電路105，係由與前方保護電路相同的二進制計數器所構成，由一個反或閘904、三個反相器905、906、907、一個及閘908、及三個正反器909、910、911所構成。接著，利用P2不一致脈衝，在正反器909、910、911上預置值(M值=D0,D1,D2之反轉)會被設定，並將P1一致脈衝往上計數至預置值為止。

然而，本發明並非被限定於上述實施形態者。例如，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (14)

在第 14 圖之可預置之計數器 (909, 910, 911) 的情況，在發生預置信號 PE 中即使時脈 CK 被輸入由於亦無法進行計數動作，所以在搜尋期間中利用此功能亦可預先設在預置狀態。又，第 14 圖中雖為 3 位元之二進制計數器，但是若使之增加成 6 位元則可將後方保護次數增加至 63 次。因而，搜尋期間中對於通常接收時會增加保護次數以便不會脫離同步，極端地說，即使其設為無限大仍可獲得同樣的效果。另外，在第 13 圖中亦設在前方保護控制電路 108。

另外，本發明，即使在 DARC 單獨的接收機中，當然亦可適用於進行與 RDS 之 AF 搜尋同樣的搜尋之情況。

符號說明

101	BIC 檢測電路	102	288 進制計數器
103	閘極電路	104	一致 / 不一致檢測電路
105	後方保護電路	106	前方保護電路
107	同步判定電路	108	前方保護控制電路
109	BIC 檢測控制電路	301	FM 前端
302	IF 放大器	303	多工器
304	AF 放大器	305	揚聲器
306	PLL 頻率合成器	308	帶通濾波器
309	RDS 解調器	310	RDS 同步電路
311	RDS 錯誤訂正電路	312	帶通濾波器
313	DARC 解調器	314	DARC 同步電路
315	DARC 錯誤訂正電路	316	控制器
401、405、406、407			反相器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

402、403、507	及 開
404、904 反或開	408 及 開
409、410、411	正反器
501、502、503、504	比較電路
505 錯誤位元容許數設定部(暫存器)	
506 或開	508、901 反相器
800 後方保護控制電路	
902、903、908	及 開
905、906、907	反相器
909、910、911	正反器
308a RDS接收電路	312a DARC接收電路
316a 選局控制器	316b FM多重資料處理部
BL 同步信號	C1 M計數器的輸出
C2 N計數器的輸出	ck 時脈端子
D0、D1、D2 資料端子	F0 接收局
F1 搜尋局	M 後方保護次數
N 前方保護次數	P1 一致脈衝
P2 不一致脈衝	PE、preset 預置信號
Q1 正反器409之輸出	Q2 正反器410之輸出
Q3 正反器411之輸出	S 搜尋信號

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

1. 一種FM多重廣播接收用同步電路，為接收包含區段識別碼之FM多重廣播資料之接收機中的同步電路，包含有：
 - 同步檢測電路，用以判定上述區段識別碼是否以預定之時序被檢測出以進行同步檢測者；
 - 前方保護電路，用以保持在該同步檢測電路中被檢測出非同步之次數已確立超過預定值的同步狀態者；
 - 以及
 - 前方保護控制電路，用以輸入選局用之搜尋信號，而在搜尋期間實質上使前述前方保護電路之動作停止者。
2. 如申請專利範圍第1項之同步電路，其中，上述FM多重廣播資料為DARC方式之FM多重廣播資料。
3. 如申請專利範圍第2項之同步電路，其中，上述接收機為可接收DARC方式之FM多重廣播資料及RDS方式之FM多重廣播資料的雙方；上述搜尋信號為用以選擇RDS局的搜尋信號者。
4. 如申請專利範圍第1項之同步電路，其中，前述前方保護電路具有計數器，用以計數在前述同步檢測電路中被檢測出非同步的次數；前述前方保護控制電路，係在搜尋期間中用以禁止前述計數器之計數動作者。
5. 如申請專利範圍第1項之同步電路，其中，前述前方保護控制電路，係回應前述搜尋信號之輸入，而使前述預定值增加者。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

6. 一種 FM 多重廣播接收用同步電路，為接收包含區段識別碼之 FM 多重廣播資料之接收機中的同步電路，包含有：

同步檢測電路，用以判定上述區段識別碼是否以預定之時序被檢測出以進行同步檢測者；

後方保護電路，在該同步檢測電路中被檢測出同步之次數已到達預定值時用以確立同步狀態者；以及

後方保護控制電路，用以輸入選局用之搜尋信號，而在搜尋期間實質上使前述前方保護電路之動作停止者。

7. 如申請專利範圍第 6 項之同步電路，其中，上述 FM 多重廣播資料為 DARC 方式之 FM 多重廣播資料。

8. 如申請專利範圍第 7 項之同步電路，其中，上述接收機，為可接收 DARC 方式之 FM 多重廣播資料及 RDS 方式之 FM 多重廣播資料的雙方；上述搜尋信號為用以選擇 RDS 局的搜尋信號者。

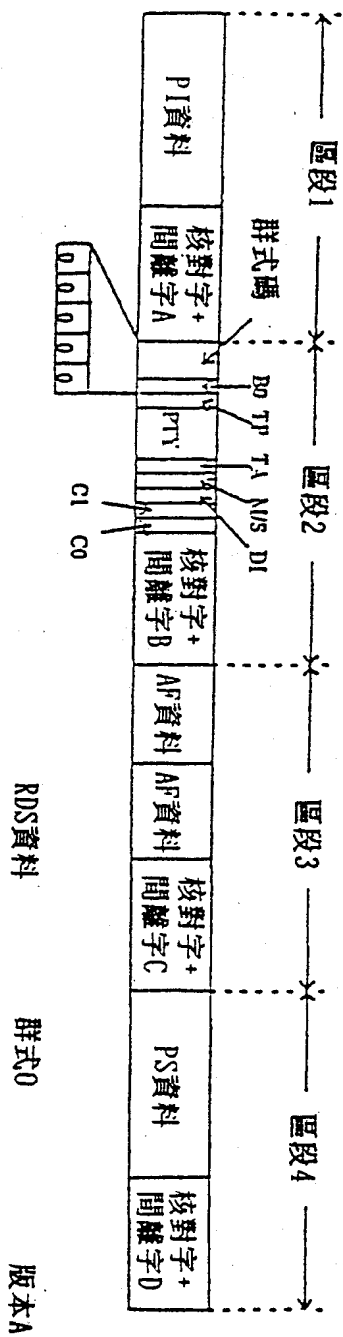
9. 如申請專利範圍第 6 項之同步電路，其中，前述後方保護電路具有計數器，用以計數在前述同步檢測電路中被檢測出非同步的次數；前述後方保護控制電路，係在搜尋期間中用以禁止前述計數器之計數動作者。

10. 如申請專利範圍第 6 項之同步電路，其中，前述後方保護控制電路，係回應前述搜尋信號之輸入，而使前述預定值增加者。

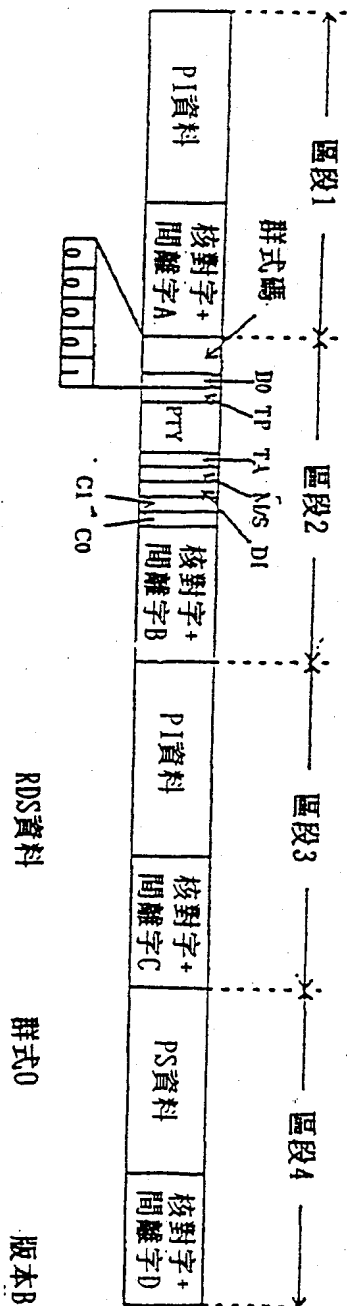
(請先閱讀背面之注意事項再填寫本頁)

訂

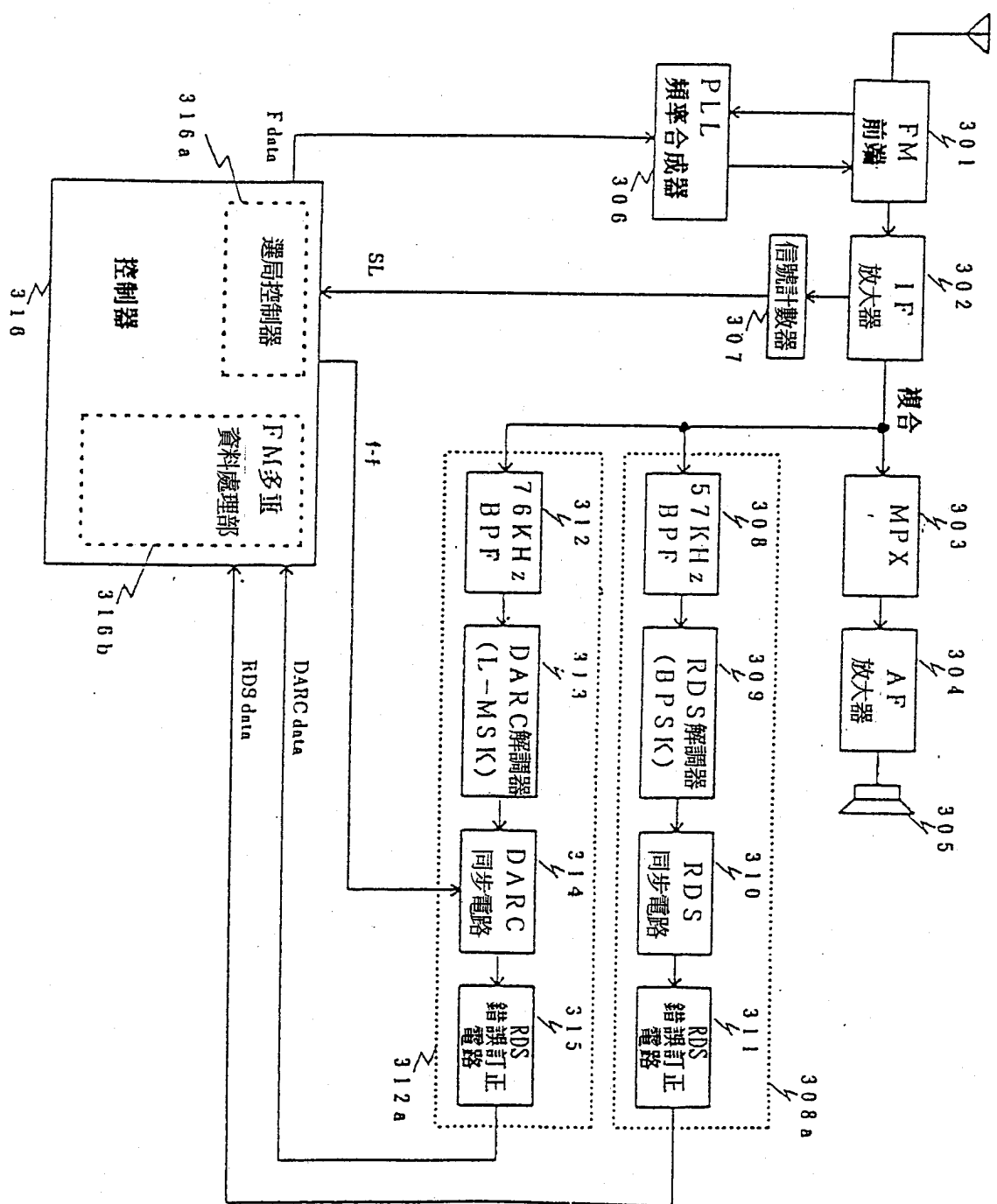
線



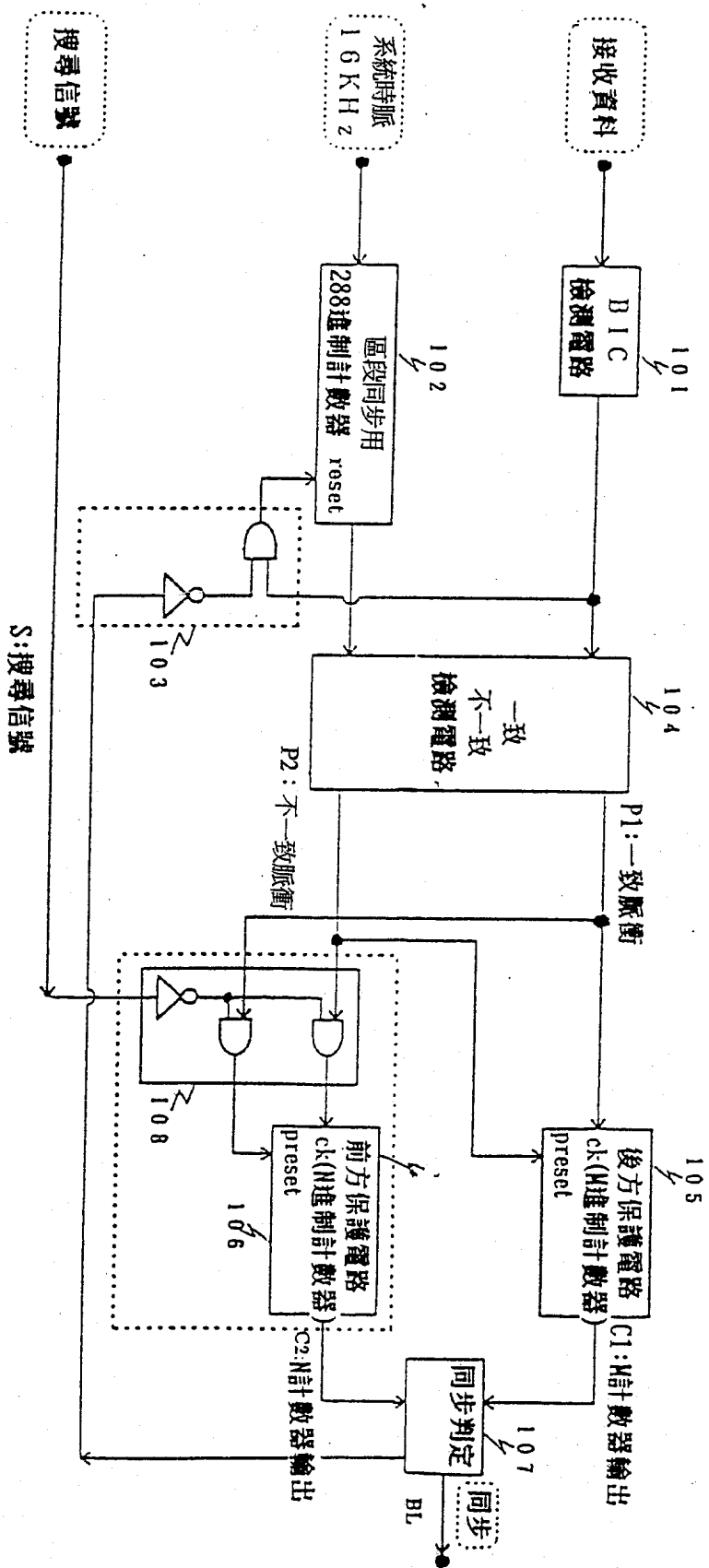
第 1 圖



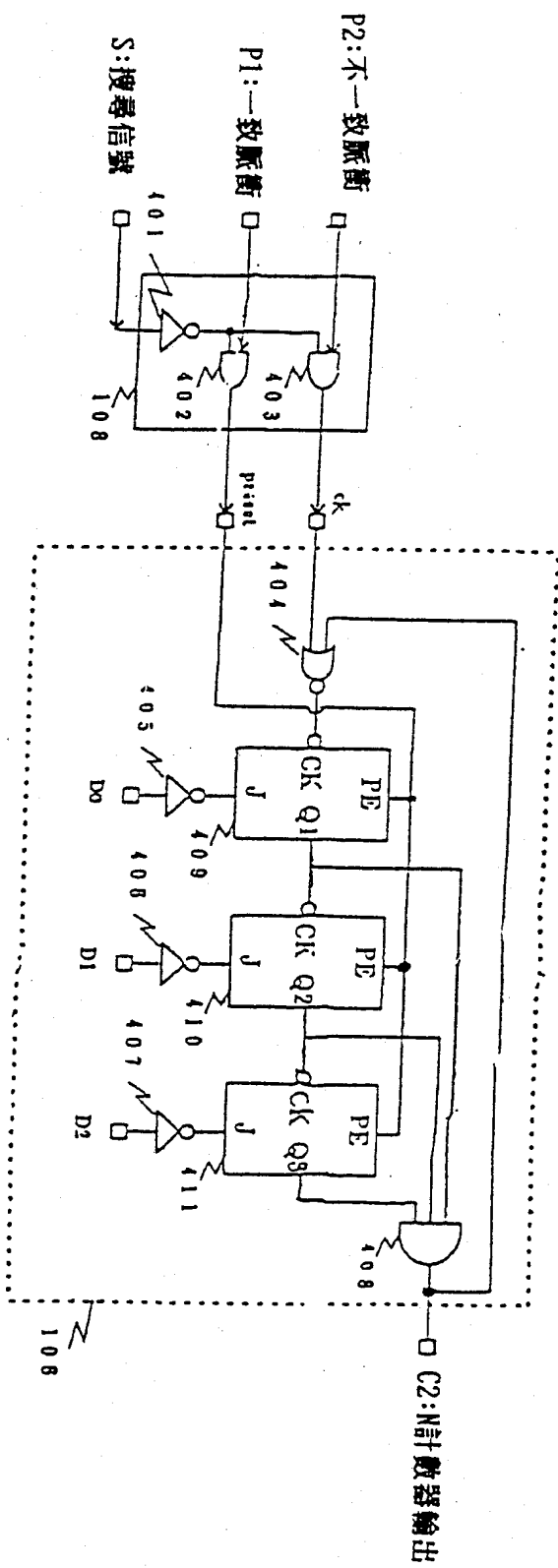
第2圖



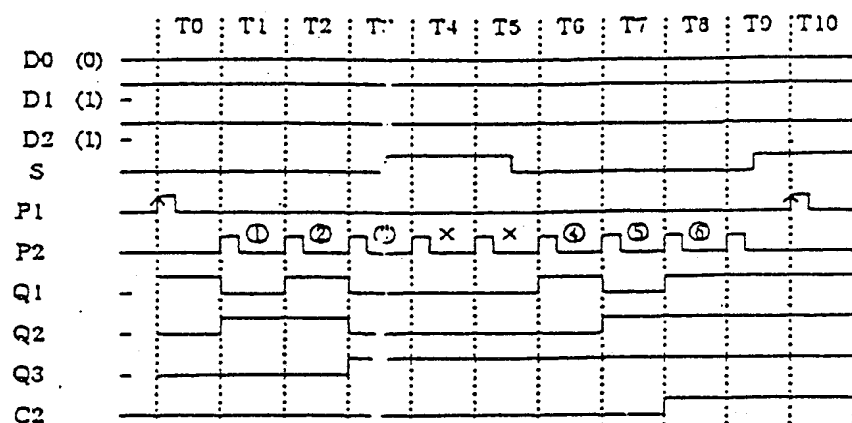
第 4 圖



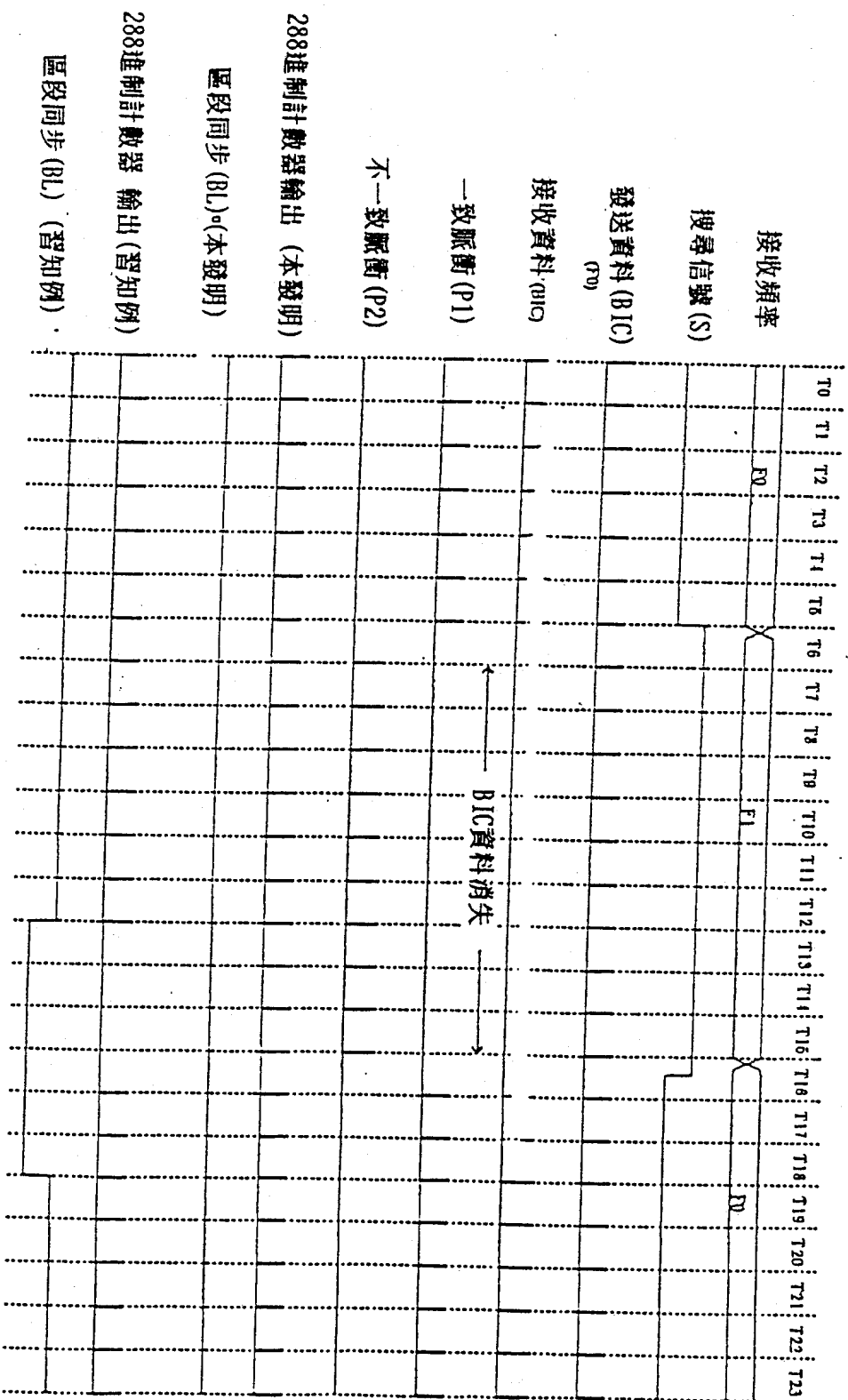
第 5 圖



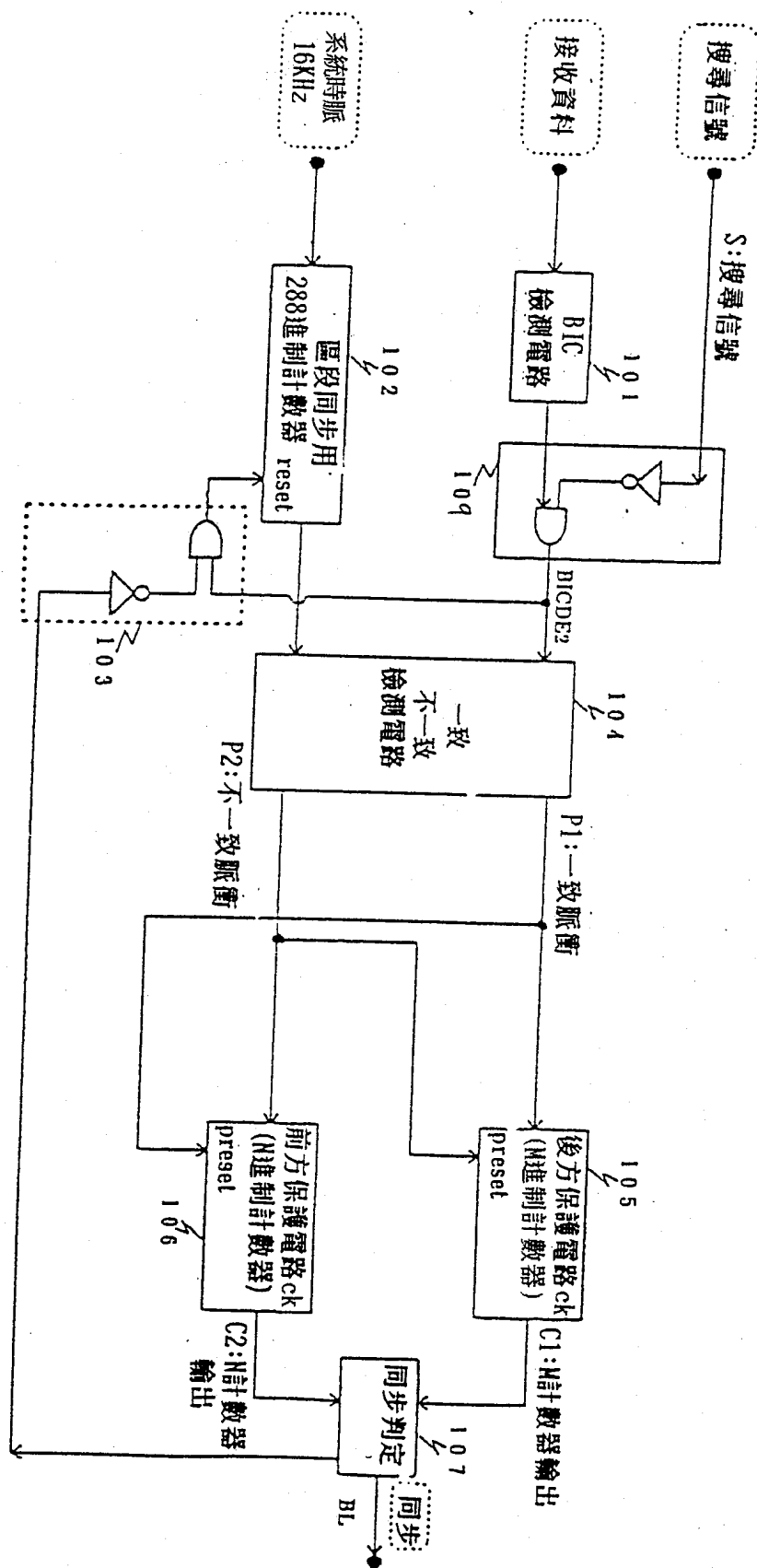
第 6 圖



第 7 圖

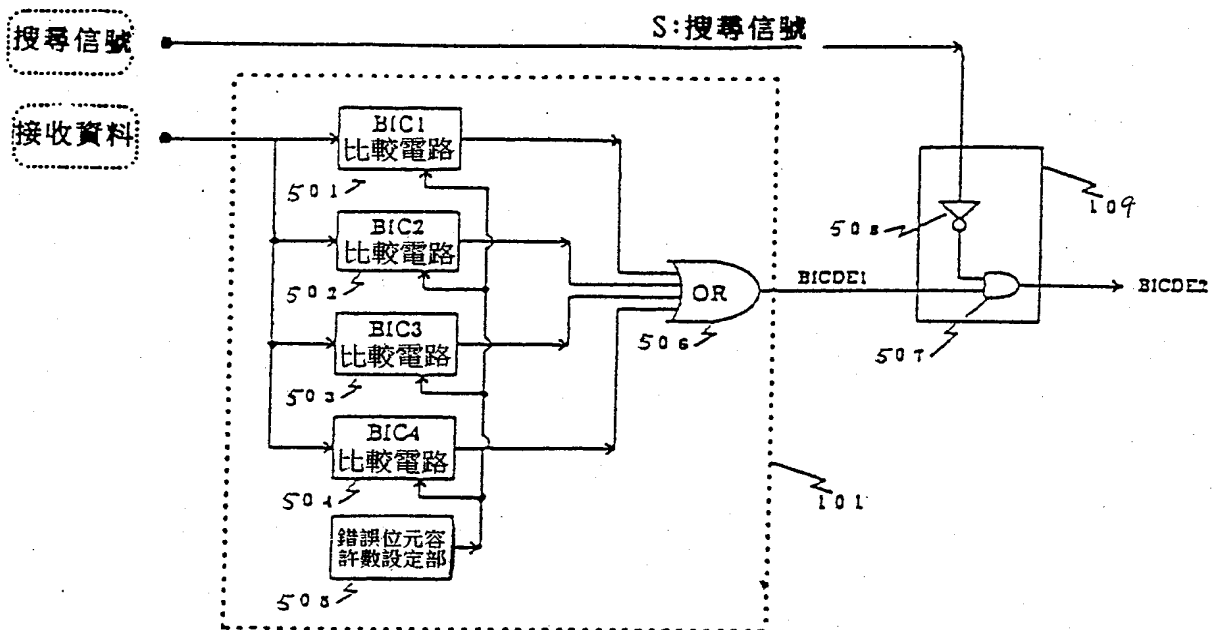


第 8 圖



第9圖

396703

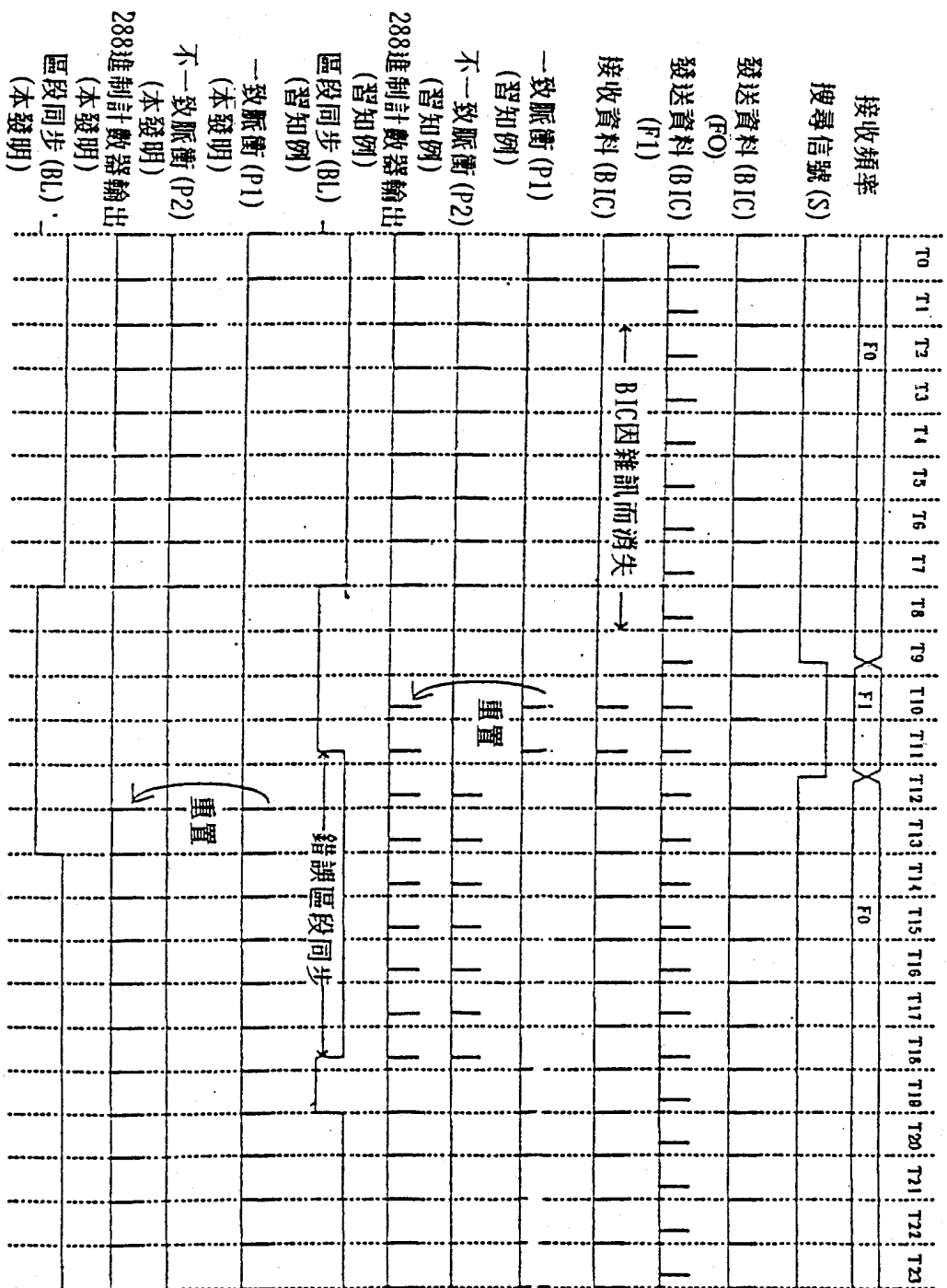


第 10 圖

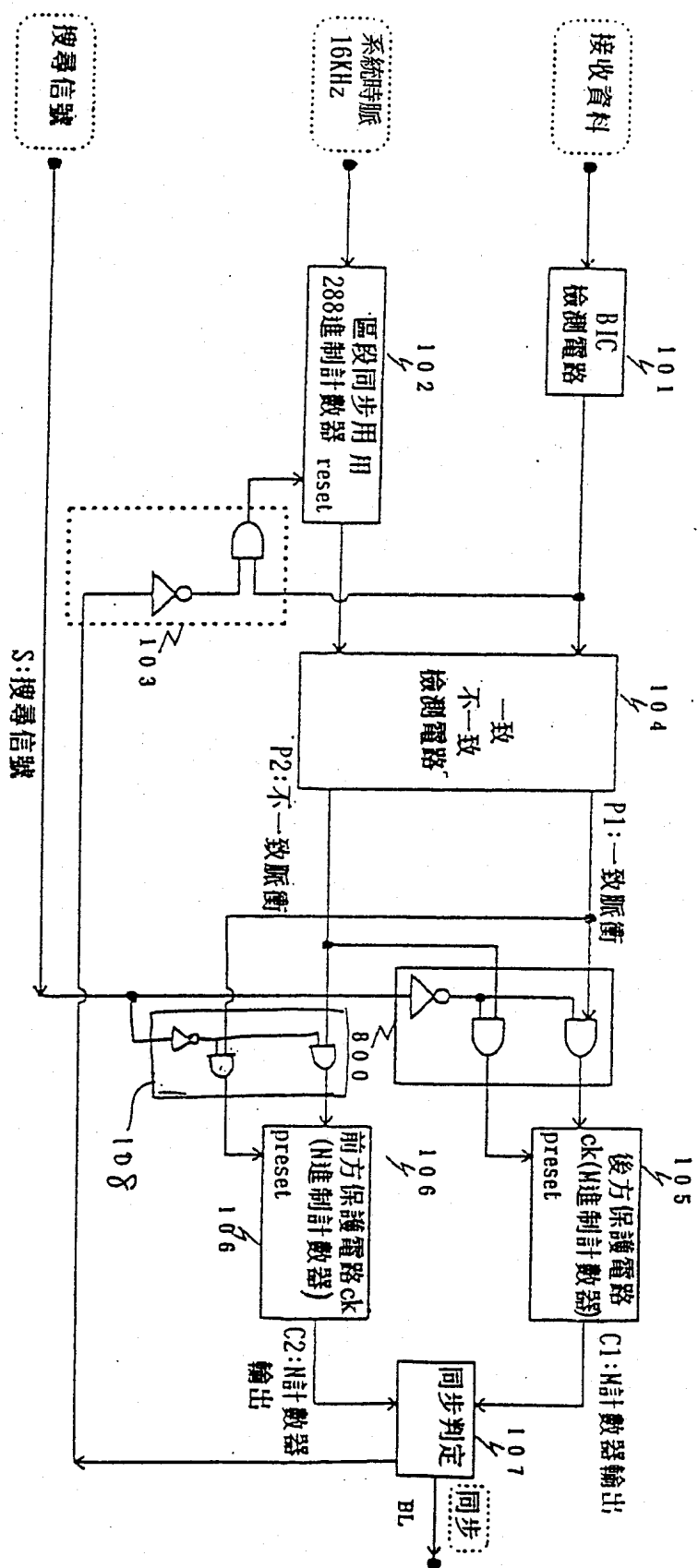
區段識別碼 (BIC) 之位元模式

BIC1	0001	0011	0101	1110
BIC2	0111	0100	1010	0110
BIC3	1010	0111	1001	0001
BIC4	1100	1000	0111	0101

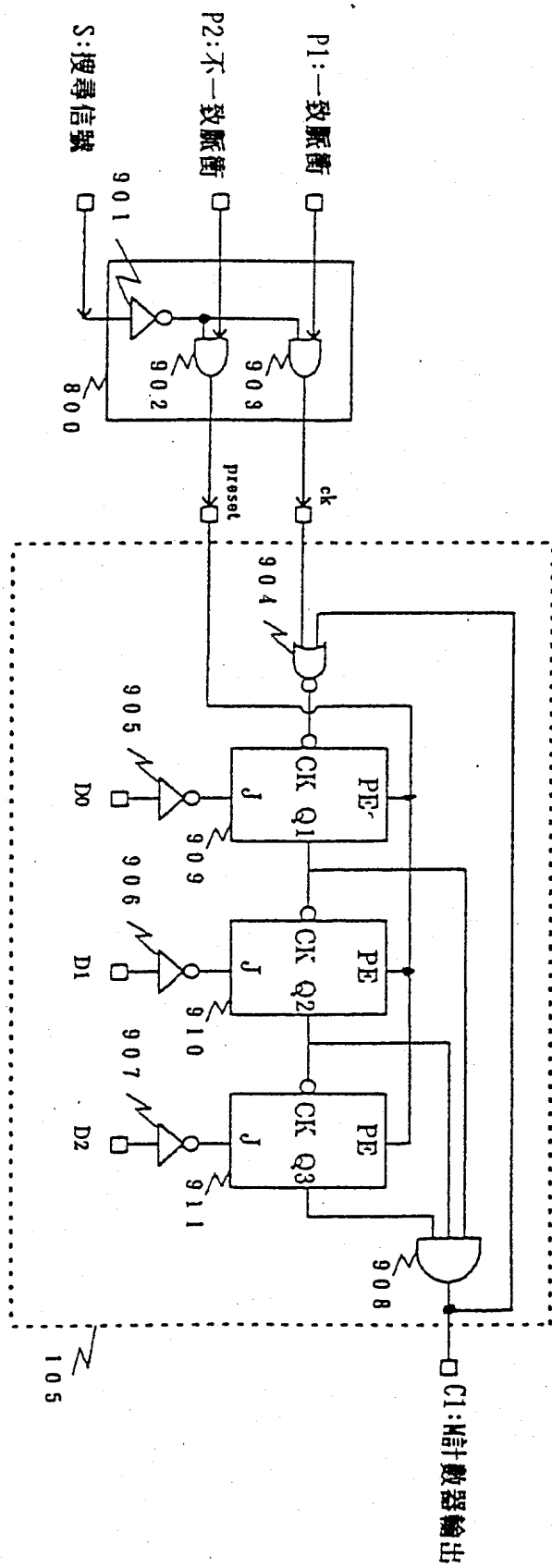
第 11 圖



第12圖



第13圖



第14圖